

## esercizio n. 4 – logica digitale

### prima parte – logica sequenziale

Sia dato il circuito sequenziale sincrono dotato di un ingresso di clock (CLK), di due ingressi principali IN1 e IN2 e di un'uscita U. Il circuito è costituito da due bistabili Master / Slave di tipo D: ( D1, Q1 ) e ( D2, Q2 ), con Di ingresso del bistabile e Qi stato / uscita del bistabile.

Le equazioni che descrivono il funzionamento del circuito sono le seguenti:

$$D1 = \text{not } (Q2) \text{ and not } (IN1)$$

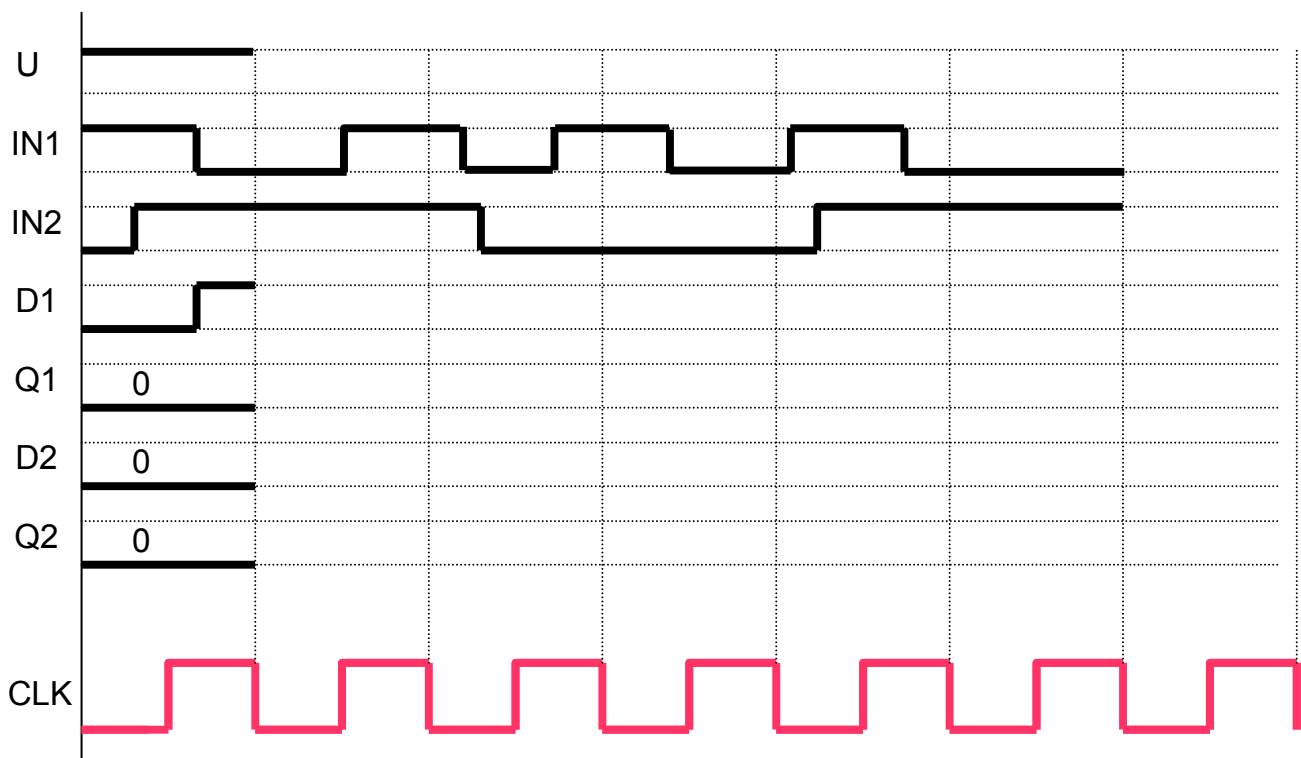
$$D2 = Q1 \text{ or not } (IN1 \text{ or } IN2)$$

$$U = \text{not } (Q2) \text{ or not } (IN1)$$

Si chiede di

- **disegnare lo schema del circuito**
- **completare il diagramma temporale** riportato a pagina seguente; si noti che:
  - vanno completamente trascurati i ritardi di propagazione delle porte logiche e i ritardi di commutazione dei bistabili
  - i bistabili sono di tipo "master-slave", la cui uscita commuta sul **fronte di discesa** del clock
  - gli ingressi IN1 e IN2 possono variare in qualunque momento

**diagramma temporale da completare**



***soluzione***