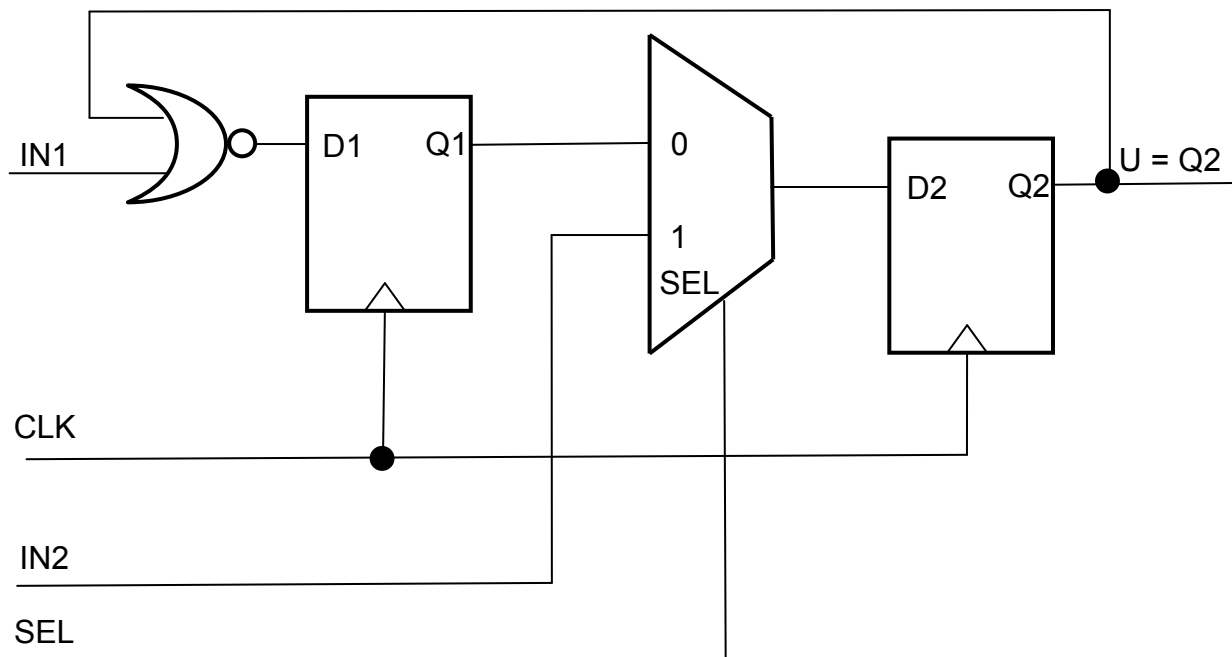


Esercizio n. 1 – logica digitale (4 punti)

prima parte – logica sequenziale

Sia dato il seguente circuito sequenziale:



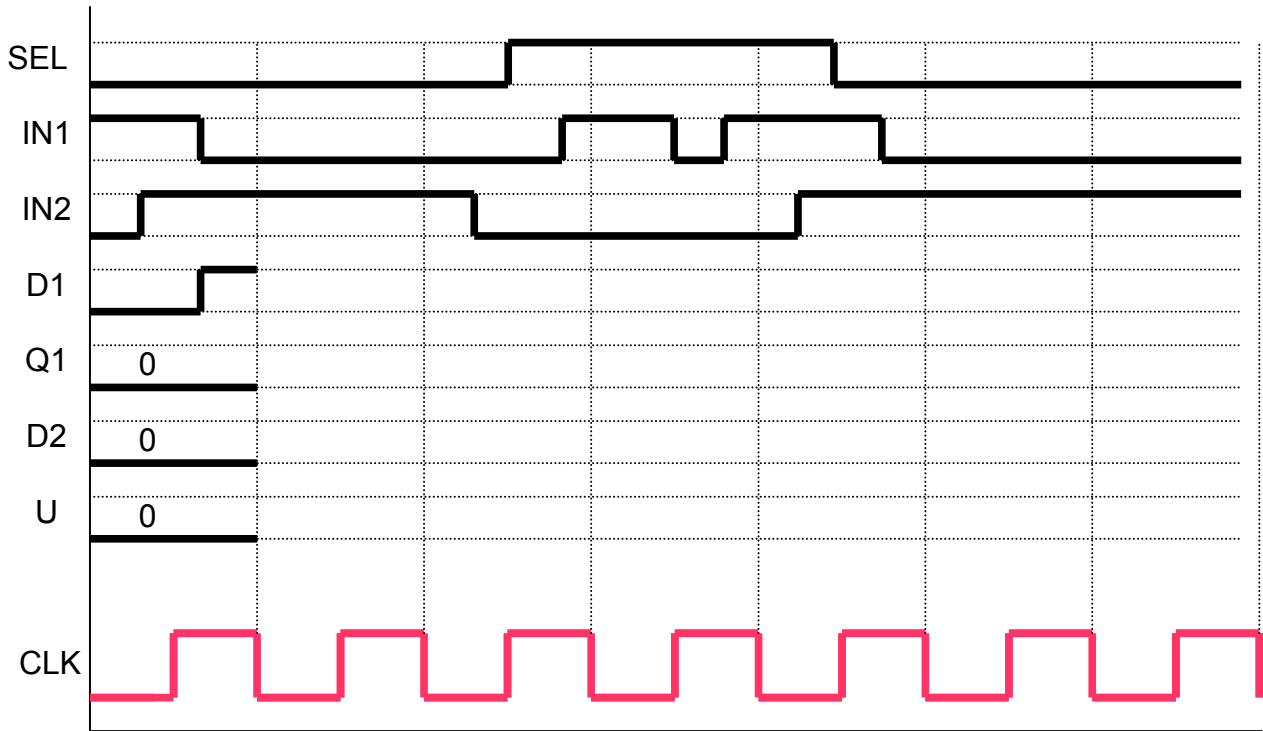
Esso è composto da due bistabili Master / Slave di tipo D: (D1, Q1) e (D2, Q2), con Di ingresso del bistabile e Qi stato / uscita del bistabile; ed è dotato di tre ingressi IN1, IN2 e SEL, e dell'uscita U.

Si fa notare che il valore del segnale D2 è governato da un selettore (multiplexer), che propaga il segnale Q1 o IN2 in funzione del valore del segnale d'ingresso SEL.

Si chiede di **completare il diagramma temporale** riportato a pagina seguente. Si noti che:

- si devono trascurare completamente i ritardi di propagazione della porta logica NOR e del selettore, e i ritardi di commutazione dei bistabili
- i bistabili sono di tipo "master-slave", la cui uscita commuta sul **fronte di discesa** del clock
- gli ingressi IN1 e IN2 possono variare in qualunque momento

diagramma temporale da completare



soluzione

