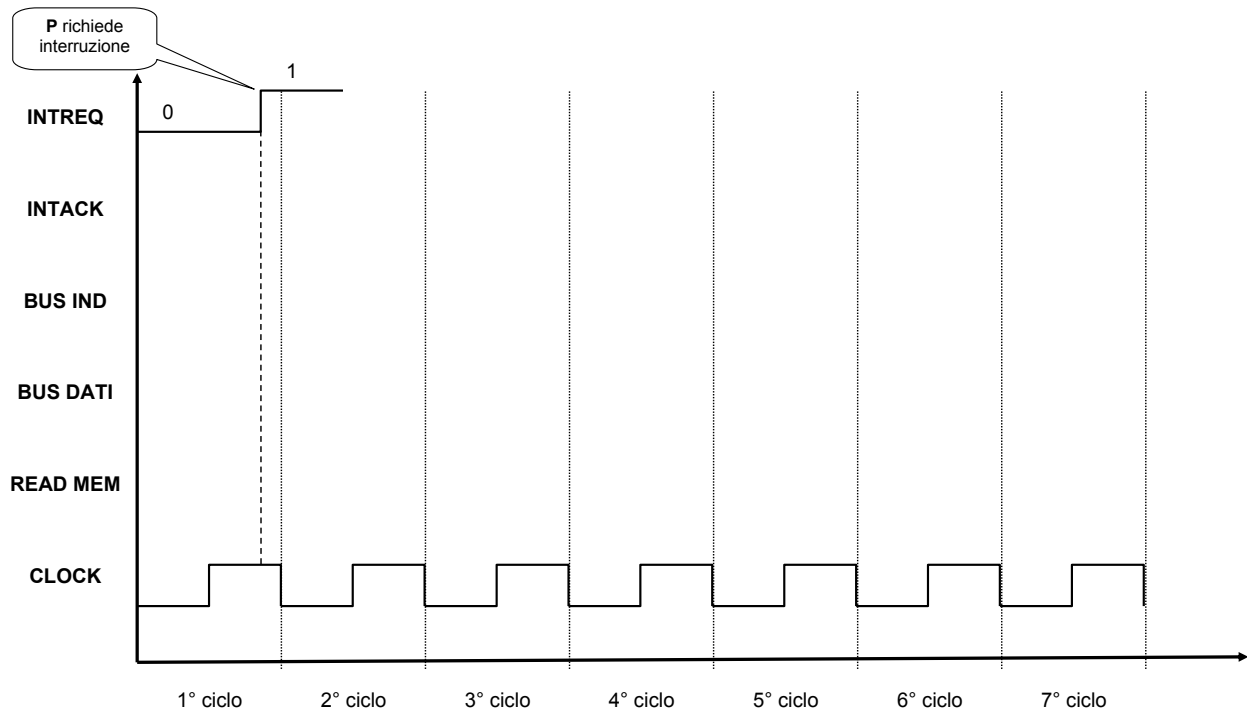


seconda parte – bus del calcolatore

Si chiede di completare il diagramma temporale mostrato nella figura seguente, illustrando l'andamento dei segnali del **BUS sincrono** di un processore in una situazione dove una **periferica P** effettua una richiesta d'interruzione (interrupt).

Il **bus di controllo** contiene i due segnali INTREQ e INTACK per la gestione del meccanismo d'interruzione (le interruzioni generate da **P** sono di tipo vettorizzato) e il segnale READ_MEM emesso dal processore, che contrassegna un indirizzo valido per un'operazione di lettura da memoria.

Nel diagramma temporale sono indicati solo i **cicli di clock** e l'**istante di tempo** in cui la periferica **P** invia al processore la richiesta d'interruzione; il resto del diagramma **va completato**.

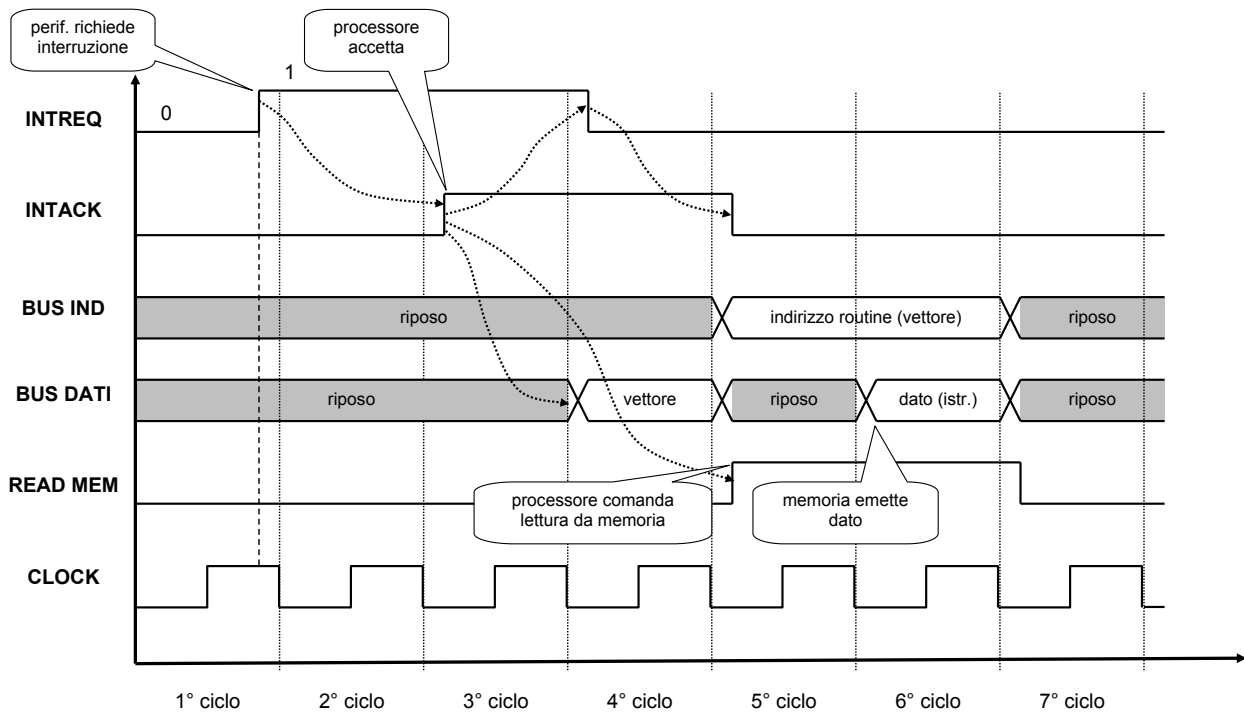


I segnali di controllo INTREQ, INTACK e READ_MEM sono di tipo **attivo alto**. I segnali INTREQ e INTACK osservano il protocollo di **handshake**: vengono attivati e disattivati l'uno in risposta all'altro, ma tenendo conto della presenza del clock come si dice più avanti. Si considerino le seguenti specifiche ulteriori:

- Il ciclo di clock è demarcato dal fronte di discesa del clock e il periodo di clock è di **100 ns**. Tutti i segnali vengono acquisiti (letti) entro **10 ns** (nanosecondi) a partire dal fronte di salita del clock e vengono emessi (scritti) entro **10 ns** a partire dal fronte di discesa del clock.
- A partire da quando si accorge che l'interruzione richiesta è stata accettata da parte del processore, la periferica **P** abbisogna di **50 ns** prima di potere emettere sul bus dati il suo vettore d'interruzione, e poi lo mantiene stabile sul bus dati per **100 ns**.
- Il **vettore d'interruzione** rappresenta direttamente l'indirizzo dell'istruzione macchina iniziale della routine di servizio d'interruzione. Nel ciclo successivo alla lettura del vettore, il processore emette sul bus indirizzi l'indirizzo della prima istruzione della routine di servizio d'interruzione, attiva il segnale di controllo READ_MEM e si dispone a leggere da memoria la prima istruzione della routine.
- A partire da quando si accorge che è in corso un'operazione di lettura, la memoria abbisogna di **50 ns** prima di potere emettere sul bus dati la parola da leggere e poi la mantiene stabile per **100 ns**.
- I segnali sul bus indirizzi vengono portati a **riposo** e il segnale di controllo READ_MEM viene **disattivato** non appena i segnali sul bus dati non sono più stabili.

Completando il diagramma temporale è preferibile indicare anche le relazioni di **causa-effetto** tra le transizioni dei vari segnali, laddove esse esistono, come elemento di **maggiore chiarezza**.

SOLUZIONE BEN COMMENTATA



Osservazioni: il segnale INTACK viene attivato dalla periferica troppo tardi per essere acquisito dal processore nel ciclo corrente e l'acquisizione è differita al fronte di salita del secondo ciclo; dati i ritardi indicati nelle specifiche, quando un segnale viene emesso all'inizio del ciclo, viene acquisito sul fronte di salita del ciclo stesso e l'eventuale reazione del ricevente si manifesta all'inizio del ciclo successivo.

Andamento: il processore acquisisce INTREQ nel secondo ciclo ed emette INTACK nel terzo ciclo; come reazione INTREQ viene disattivato dalla periferica nel quarto ciclo e INTACK viene disattivato dal processore nel quinto ciclo; questo completa lo handshake tra periferica e processore; la periferica emette il vettore nel quarto ciclo (come reazione a INTACK nel terzo ciclo) e il processore lo acquisisce nel ciclo stesso; il processore attiva READ_MEM ed emette l'indirizzo (ossia il vettore) nel quinto ciclo e la memoria li acquisisce nel ciclo stesso; la memoria emette il dato (istruzione iniziale della routine d'interruzione) nel sesto ciclo e il processore lo acquisisce nel ciclo stesso; nel settimo ciclo i segnali vanno a riposo e l'operazione descritta è conclusa; le frecce tratteggiate indicano i rapporti di causa-effetto e qua e là ci sono commenti esplicativi.