



Esercizi

Logica Digitale, Circuiti e Bus

Alessandro A. Nacci
alessandro.nacci@polimi.it

ACSO
2014/2014



Esercizio 1

Si consideri la funzione booleana di 3 variabili $G(a, b, c)$ espressa dall'equazione seguente:

$$G(a, b, c) = abc + !a !b c + !a b c + a b !c$$

Si trasformi - tramite le proprietà dell'algebra di commutazione - l'equazione di G in modo da ridurre il costo della sua realizzazione, indicando le singole operazioni svolte e il nome oppure la forma della proprietà utilizzata.

Esercizio 2

Si vuole realizzare un circuito combinatorio a quattro ingressi (a, b, c, d) e un'uscita F, caratterizzato dai mintermini seguenti

$$(1, 2, 3, 5, 9, 10, 13, 14, 15)$$

1. Si scriva la prima forma canonica di F
2. Si disegni la mappa di Karnaugh della funzione evidenziando tutti gli implicant primari
3. Si elenchino tutti gli implicant primari identificandoli tramite i mintermini che coprono e riportando la loro forma algebrica
4. Si sintetizzi la funzione mediante il metodo delle mappe di Karnaugh e si scriva l'equazione minima in termini di somma di prodotti. Qualora esistano più equazioni minime se ne indichino almeno due (il numero di righe date sotto non è significativo)

Esercizio 3

Si vuole realizzare un circuito combinatorio a quattro ingressi (a, b, c, d) e un'uscita F, caratterizzato dai mintermini seguenti

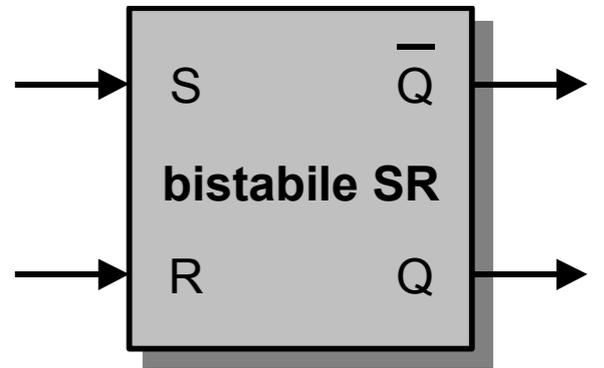
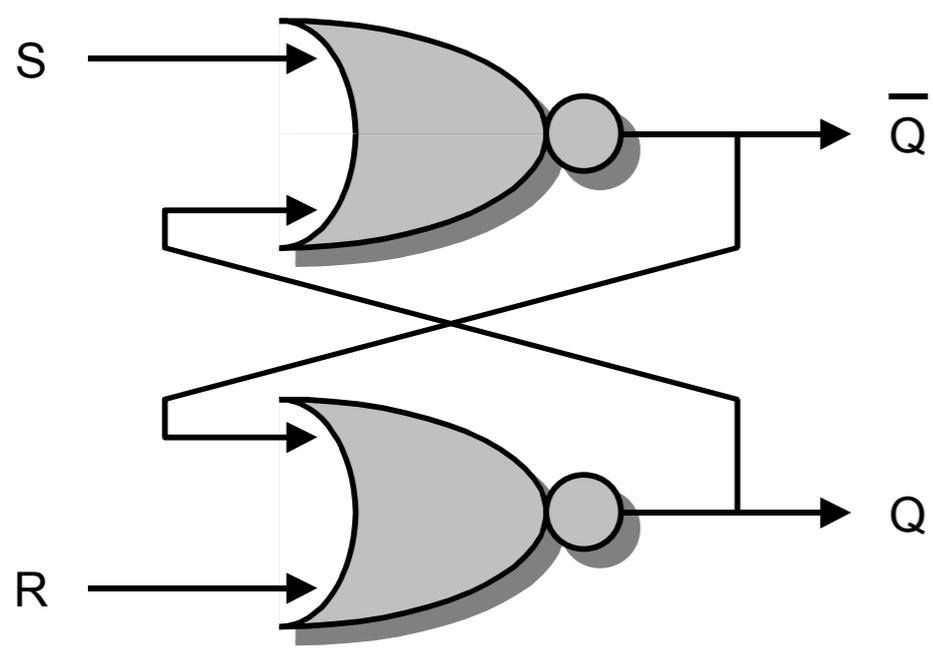
(0, 1, 2, 6, 8, 9, 10, 15)

- (a) Si scriva la prima forma canonica di F:
- (b) Si disegni la mappa di Karnaugh della funzione evidenziando tutti gli implicanti primi:
- (c) Si sintetizzi la funzione mediante il metodo delle mappe di Karnaugh e si scriva l'equazione minima in termini di somma di prodotti. Qualora esistano più equazioni minime se ne indichino almeno due (il numero di righe date sotto non è significativo):
- (d) Si disegni una rete combinatoria che realizza la funzione calcolata al punto precedente, utilizzando solamente porte a due ingressi.

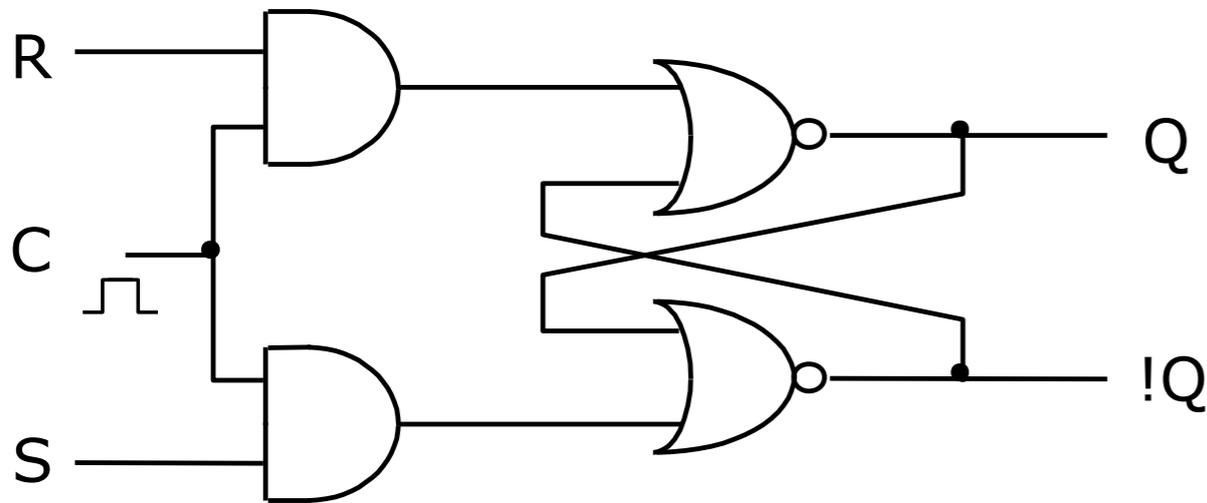
Bistabile SR

- ▣ Funzionamento del bistabile SR:
 - se $S = R = 0$, l'uscita Q mantiene memorizzato il valore logico di un bit (0 oppure 1)
 - se $S = 1$ e $R = 0$, l'uscita Q assume il valore logico 1
 - se $S = 0$ e $R = 1$, l'uscita Q assume il valore logico 0
 - è vietato applicare la configurazione di ingresso $S = R = 1$ (in questa circostanza il comportamento del bistabile SR non è definito)

S	R	Q	!Q
0	0	Q	!Q
0	1	0	1
1	0	1	0
1	1	0	0



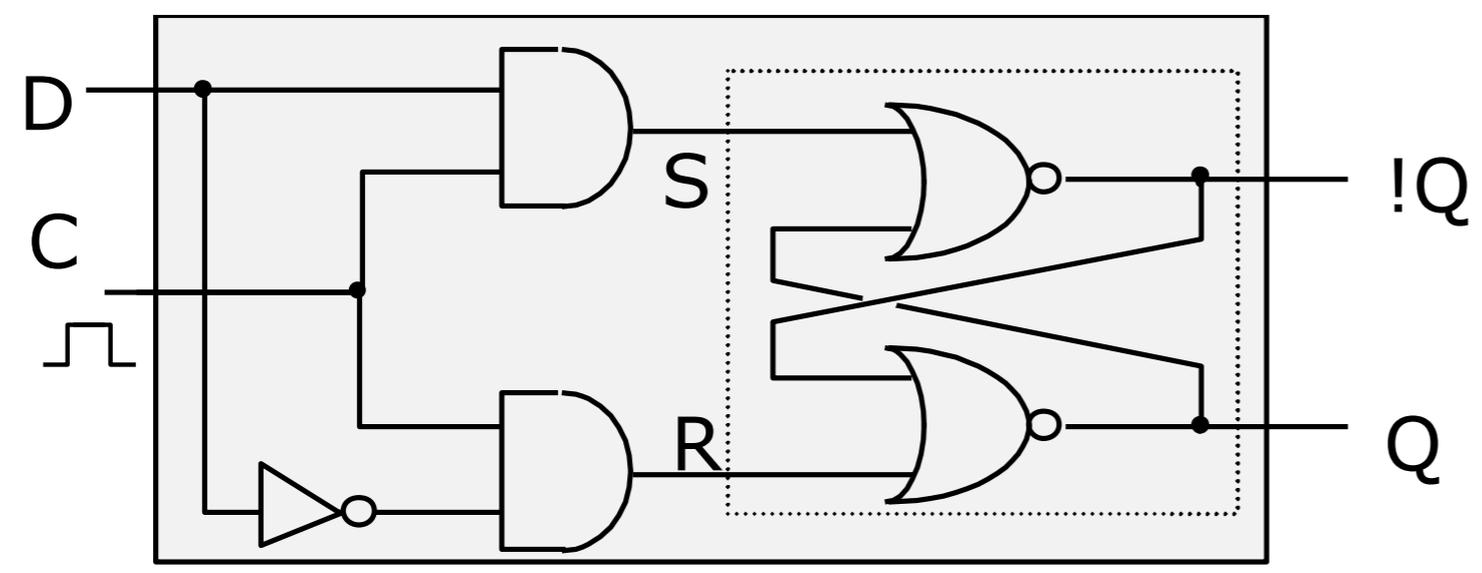
Bistabile SR sync



SR con controllo C

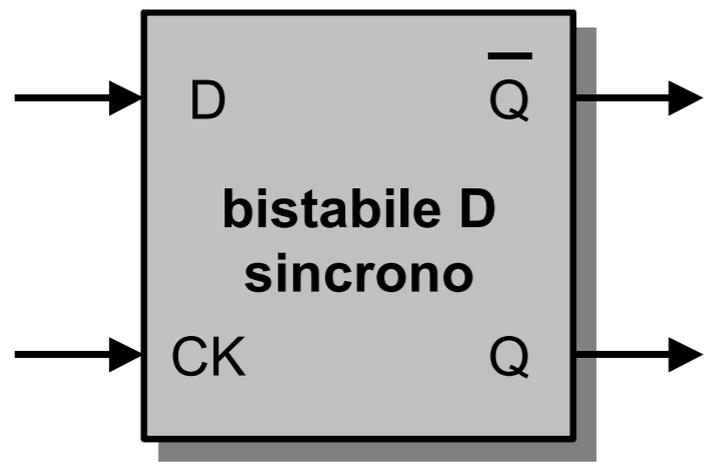
C	S	R	Q	!Q	
0	X	X	Q	!Q	Ingressi inibiti
1	0	0	Q	!Q	
1	0	1	0	1	Stato di Reset
1	1	0	1	0	Stato di Set
1	1	1	-	-	Stato indefinito

Bistabile D-latch



D con controllo C

C	D	Q	!Q
0	X	Q	!Q
1	0	0	1
1	1	1	0

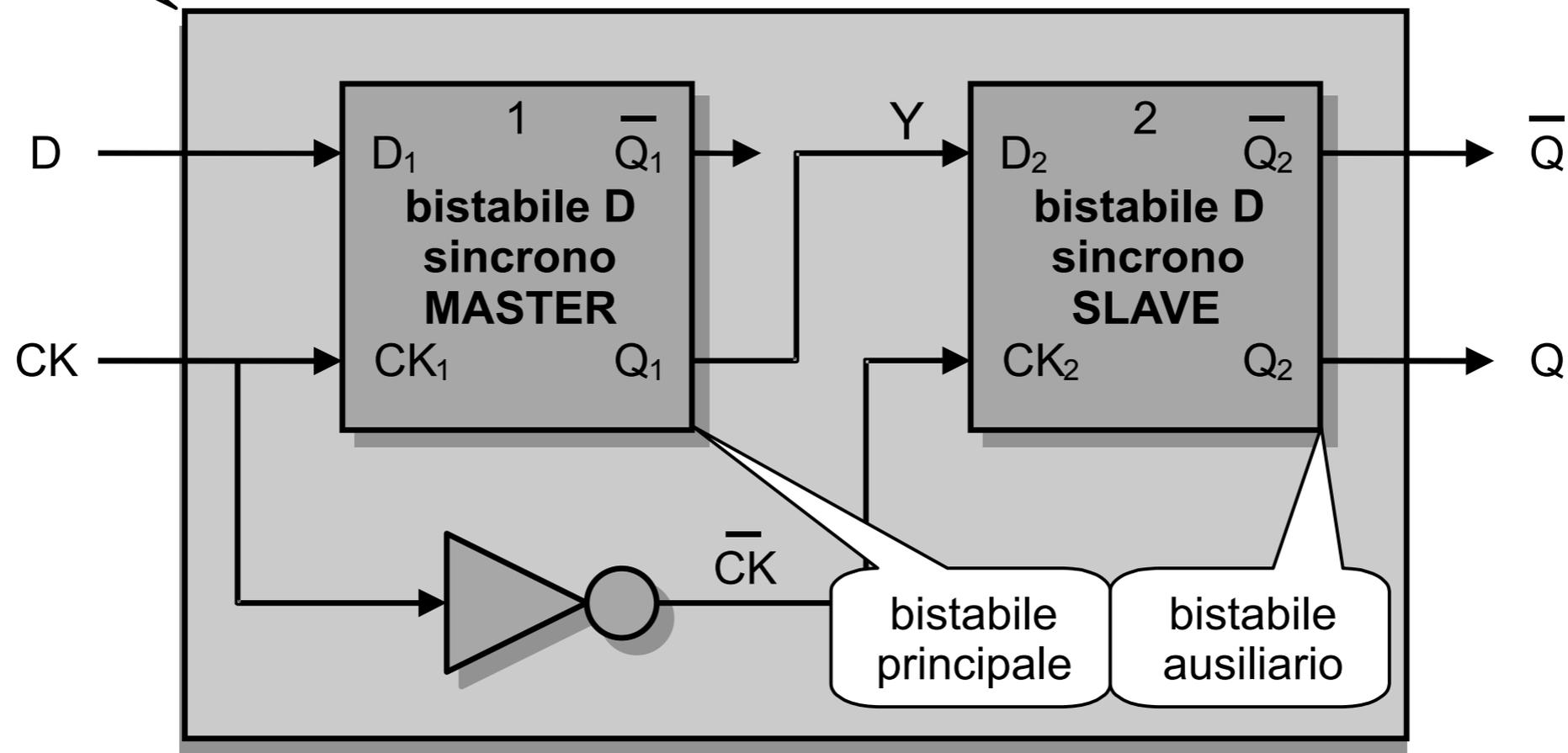


Trasparenza

- I latch sincroni (SR o D) presentano, durante l'intervallo di tempo in cui il clock è attivo, il fenomeno di **trasparenza delle uscite** (fenomeno indesiderato).
 - In questo intervallo, se gli ingressi si modificano, le uscite seguono questa modifica
 - E' come se, nell'intervallo attivo del clock, i bistabili non esercitassero alcuna funzione effettiva di memorizzazione
- Per evitare il fenomeno di trasparenza si utilizzano i **flip-flop** (D o SR) che sono costituiti da due latch in cascata in modo che lo stato possa **modificare le uscite** solo in corrispondenza di un **evento (fronte) del segnale di controllo**.
- Nei **flip-flop**:
 - Relazione *stato-uscita* (aggiornamento della uscita): sul fronte.
 - Relazione *ingresso-stato* (aggiornamento dello stato):
 - a livello (**Flip-Flop master-slave**)
 - a fronte (**Flip-Flop edge-triggered**).

Flip Flop D MS

flip-flop D
master-slave



Coppia di bistabili sincroni D trasparenti in cascata con clock invertiti;
l'insieme dei due non presenta il fenomeno della trasparenza

Flip Flop D Master Slave

- Il bistabile principale campiona l'ingresso $D = D_1$ durante l'intervallo alto del clock, lo emette sull'uscita Q_1 e lo manda all'ingresso D_2 del bistabile ausiliario
- Il bistabile ausiliario campiona l'ingresso D_2 durante l'intervallo basso del clock e lo emette sull'uscita $Q_2 = Q$
- L'uscita generale Q può variare solo nell'istante del **fronte di discesa del clock**

- **Trasparenza**
 - Nell'intervallo basso del clock, il bistabile SLAVE è in stato di trasparenza
 - Nell'intervallo alto del clock, il bistabile MASTER è in stato di trasparenza
 - Se l'ingresso D varia durante l'intervallo alto del clock, il bistabile MASTER si comporta in modo trasparente
 - Ma il bistabile SLAVE no, perché il suo clock si trova nell'intervallo basso

Esercizio 4

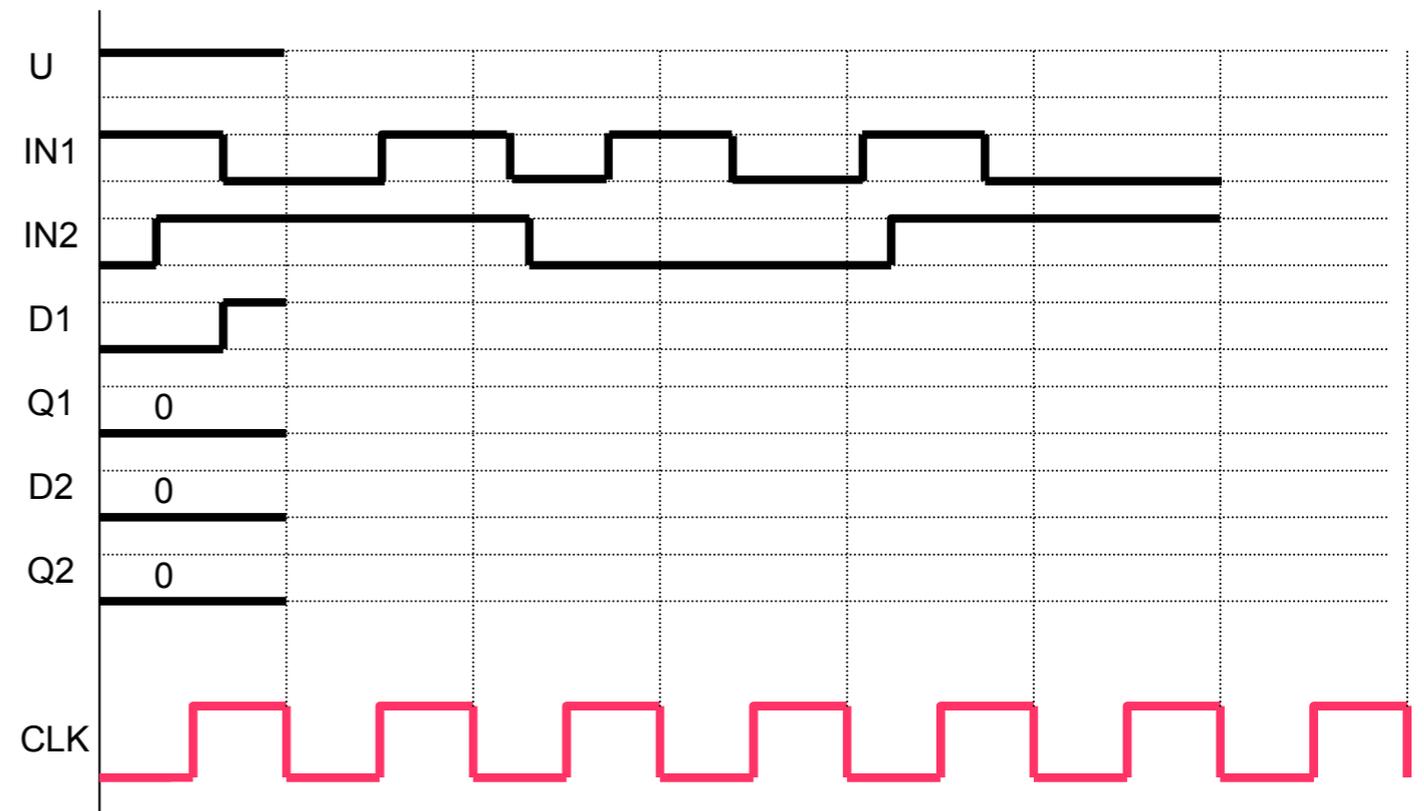
Sia dato il circuito sequenziale sincrono dotato di un ingresso di clock (CLK), di due ingressi principali IN1 e IN2 e di un'uscita U. Il circuito è costituito da due bistabili Master / Slave di tipo D: (D1, Q1) e (D2, Q2), con Di ingresso del bistabile e Qi stato / uscita del bistabile.

Le equazioni che descrivono il funzionamento del circuito sono le seguenti:

$$D1 = \text{not } (Q2) \text{ and not } (IN1)$$

$$D2 = Q1 \text{ or not } (IN1 \text{ or } IN2)$$

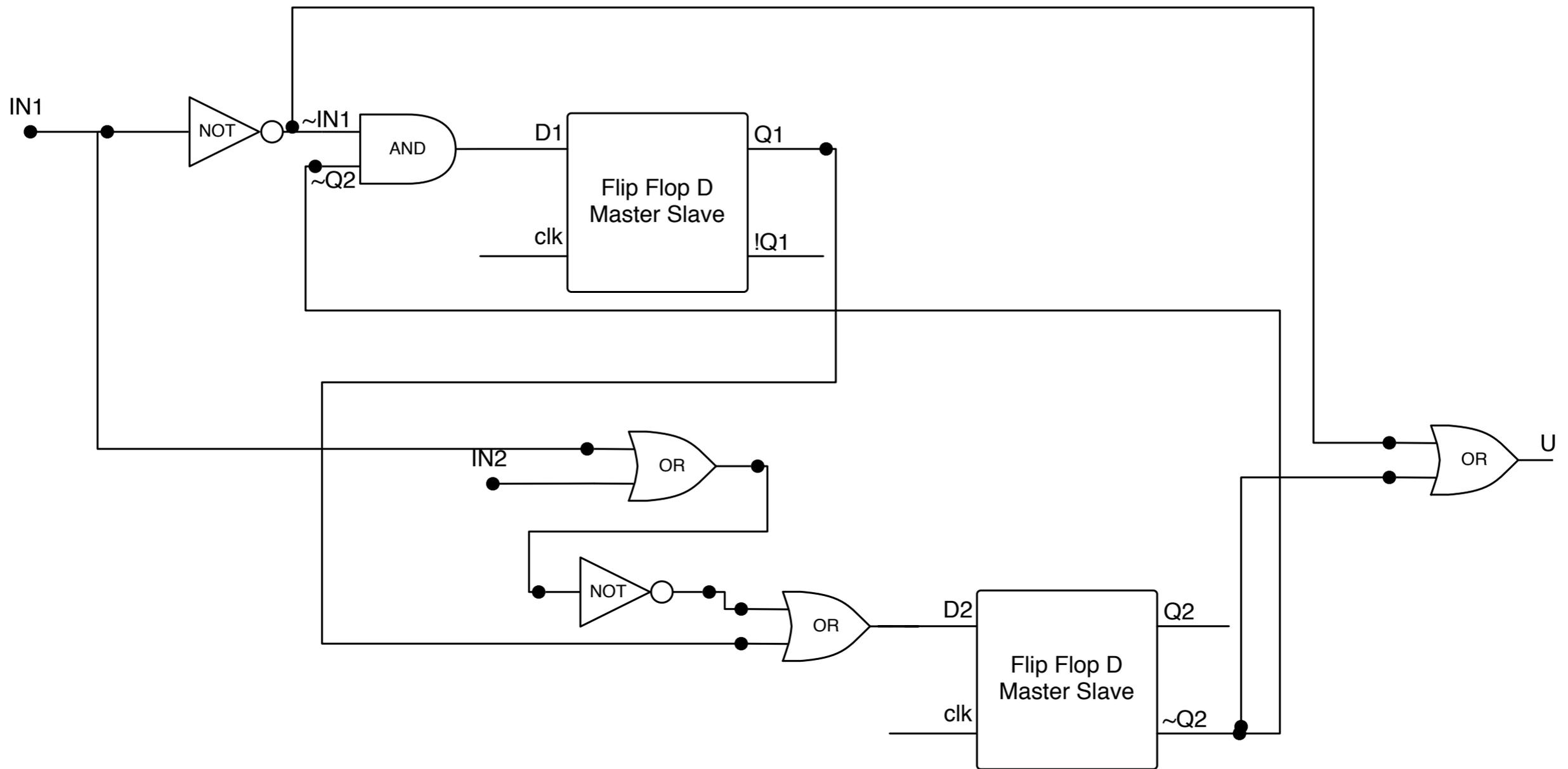
$$U = \text{not } (Q2) \text{ or not } (IN1)$$



Si chiede di

- **disegnare lo schema del circuito**
- **completare il diagramma temporale** riportato a pagina seguente; si noti che:
 - vanno completamente trascurati i ritardi di propagazione delle porte logiche e i ritardi di commutazione dei bistabili
 - i bistabili sono di tipo "master-slave", la cui uscita commuta sul **fronte di discesa** del clock
 - gli ingressi IN1 e IN2 possono variare in qualunque momento

Esercizio 4



Per l'aggiornamento dei valori nel diagramma temporale prima propagate le uscite! E poi derivate il resto!

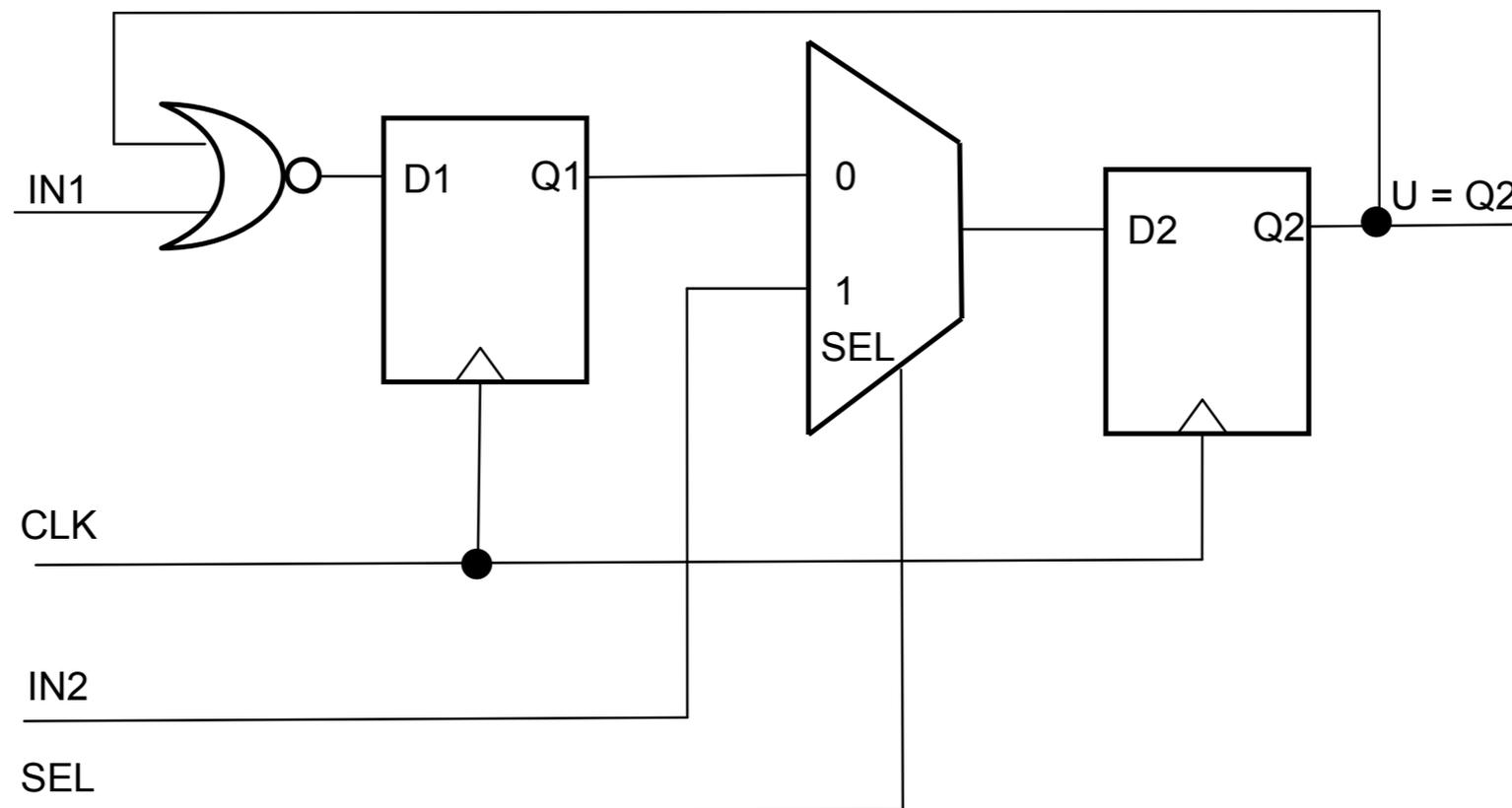
Esercizio 5

Esso è composto da due bistabili Master / Slave di tipo D: (D1, Q1) e (D2, Q2), con Di ingresso del bistabile e Qi stato / uscita del bistabile; ed è dotato di tre ingressi IN1, IN2 e SEL, e dell'uscita U.

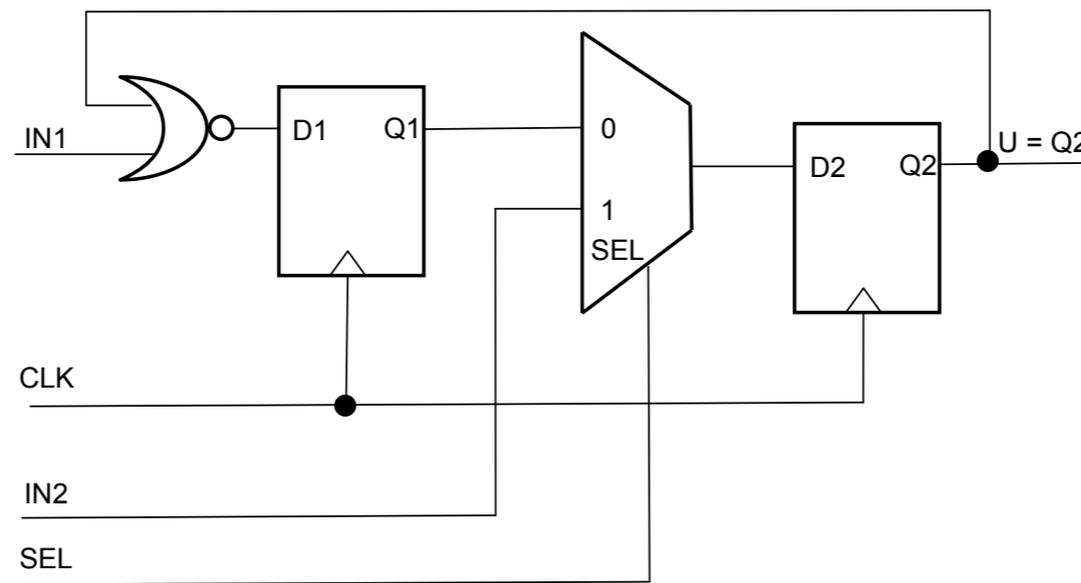
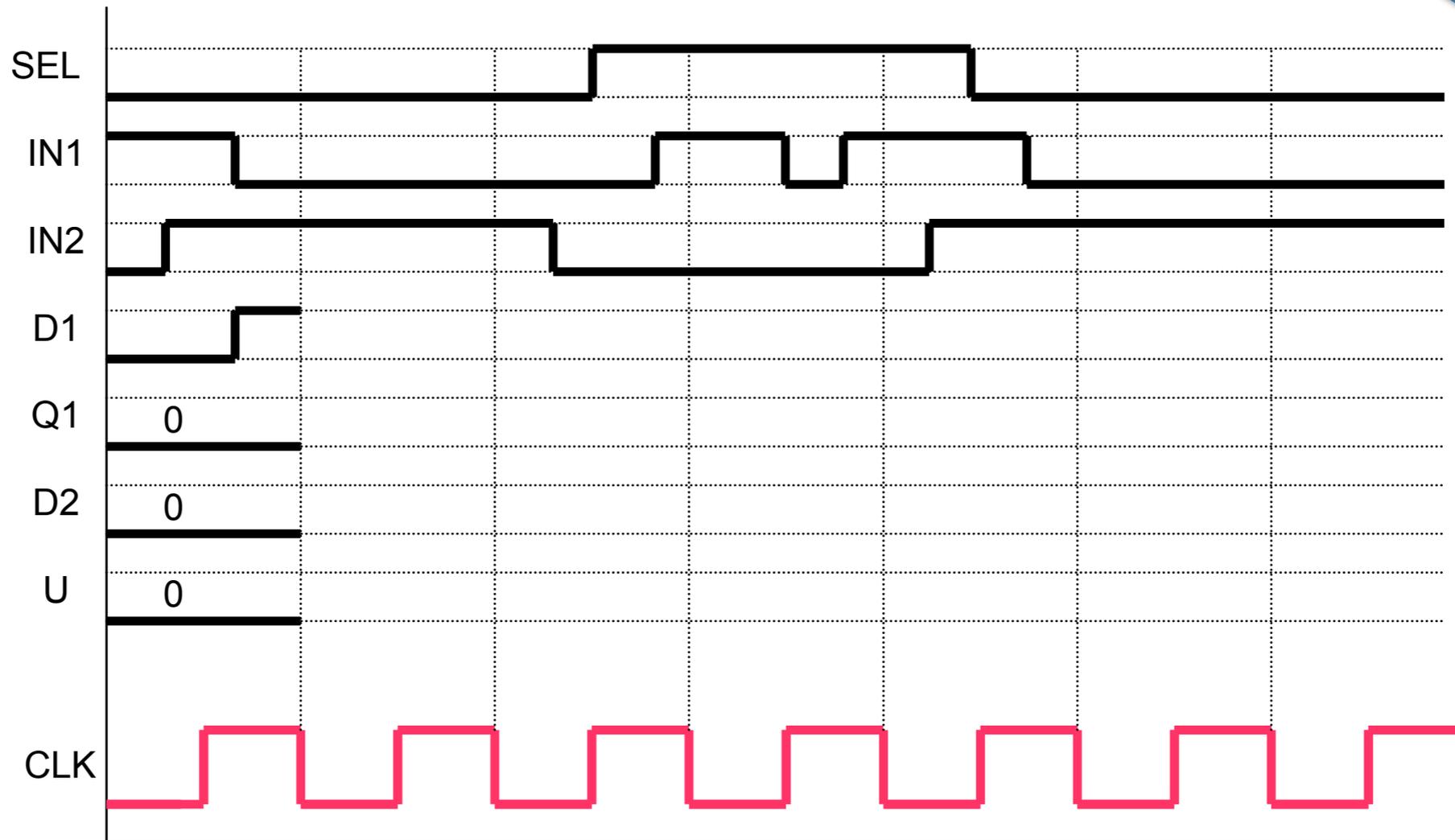
Si fa notare che il valore del segnale D2 è governato da un selettore (multiplexer), che propaga il segnale Q1 o IN2 in funzione del valore del segnale d'ingresso SEL.

Si chiede di **completare il diagramma temporale** riportato a pagina seguente. Si noti che:

- si devono trascurare completamente i ritardi di propagazione della porta logica NOR e del selettore, e i ritardi di commutazione dei bistabili
- i bistabili sono di tipo "master-slave", la cui uscita commuta sul **fronte di discesa** del clock
- gl'ingressi IN1 e IN2 possono variare in qualunque momento



Esercizio 5

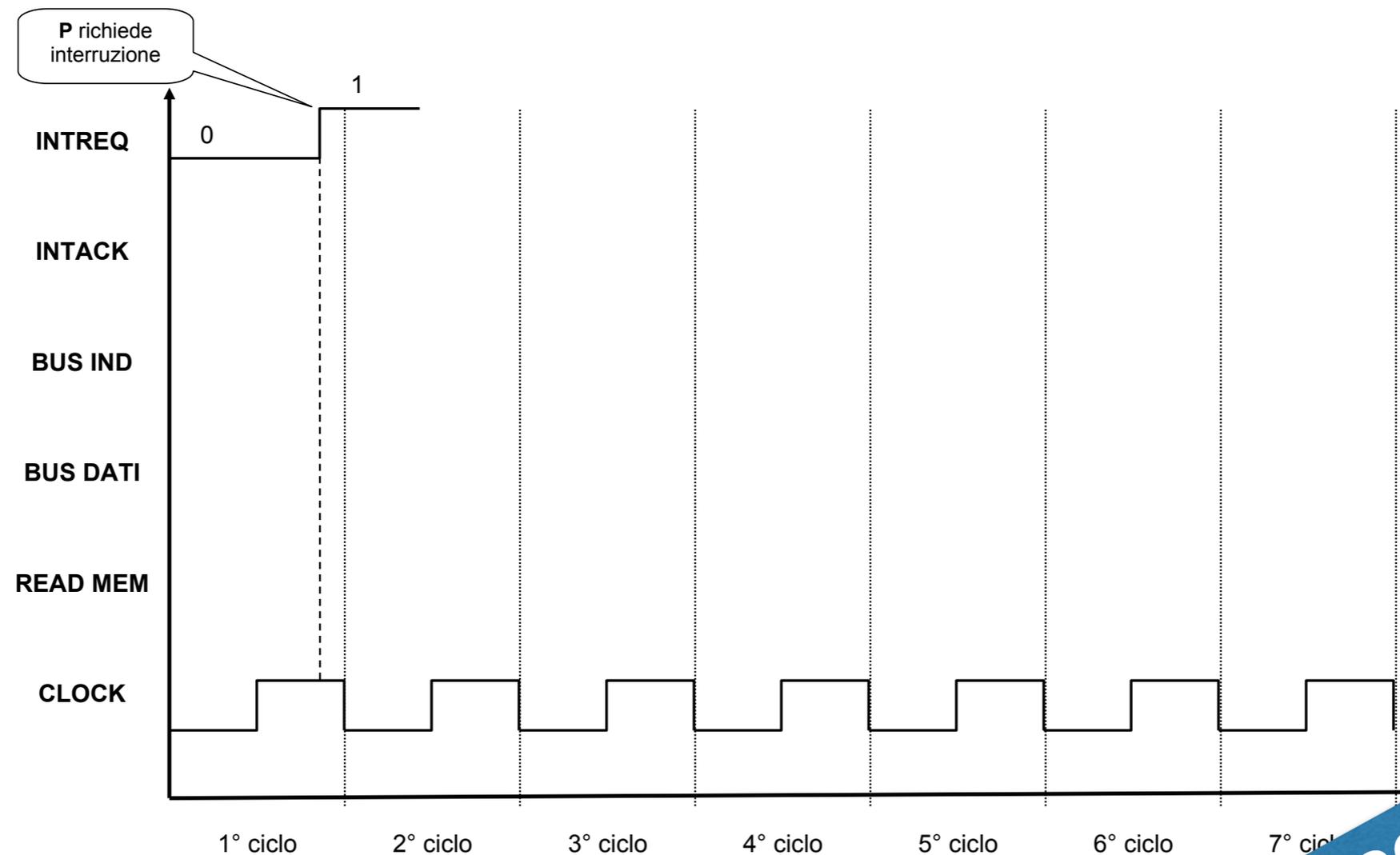


Esercizio 5

Si chiede di completare il diagramma temporale mostrato nella figura seguente, illustrando l'andamento dei segnali del **BUS sincrono** di un processore in una situazione dove una **periferica P** effettua una richiesta d'interruzione (interrupt).

Il **bus di controllo** contiene i due segnali INTREQ e INTACK per la gestione del meccanismo d'interruzione (le interruzioni generate da **P** sono di tipo vettorizzato) e il segnale READ_MEM emesso dal processore, che contrassegna un indirizzo valido per un'operazione di lettura da memoria.

Nel diagramma temporale sono indicati solo i **cicli di clock** e l'**istante di tempo** in cui la periferica **P** invia al processore la richiesta d'interruzione; il resto del diagramma **va completato**.

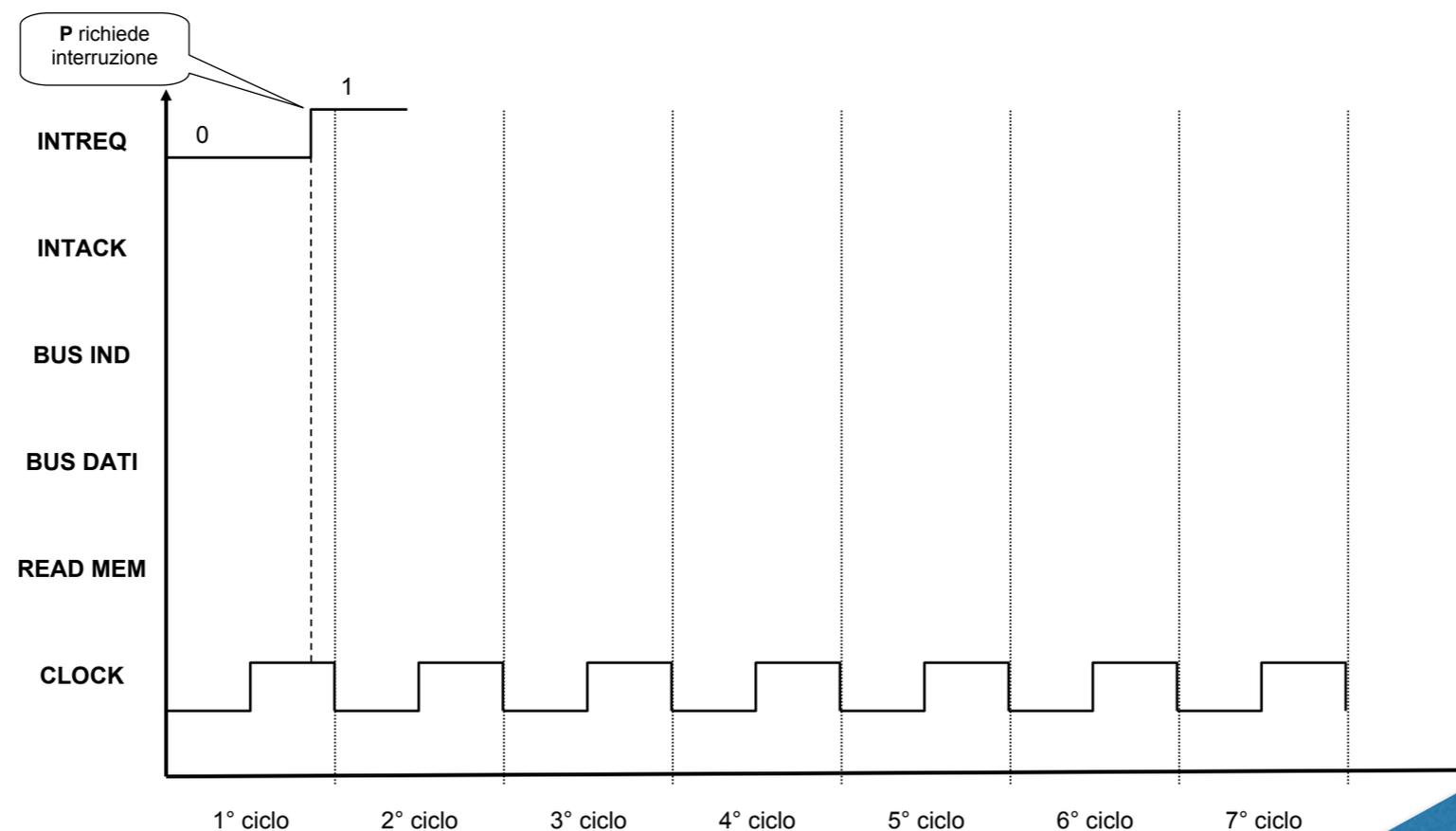


**SOLUZIONI
ONLINE**

Esercizio 5

I segnali di controllo INTREQ, INTACK e READ_MEM sono di tipo **attivo alto**. I segnali INTREQ e INTACK osservano il protocollo di **handshake**: vengono attivati e disattivati l'uno in risposta all'altro, ma tenendo conto della presenza del clock come si dice più avanti. Si considerino le seguenti specifiche ulteriori:

- Il ciclo di clock è demarcato dal fronte di discesa del clock e il periodo di clock è di **100 ns**. Tutti i segnali vengono acquisiti (letti) entro **10 ns** (nanosecondi) a partire dal fronte di salita del clock e vengono emessi (scritti) entro **10 ns** a partire dal fronte di discesa del clock.
- A partire da quando si accorge che l'interruzione richiesta è stata accettata da parte del processore, la periferica **P** abbisogna di **50 ns** prima di potere emettere sul bus dati il suo vettore d'interruzione, e poi lo mantiene stabile sul bus dati per **100 ns**.
- Il **vettore d'interruzione** rappresenta direttamente l'indirizzo dell'istruzione macchina iniziale della routine di servizio d'interruzione. Nel ciclo successivo alla lettura del vettore, il processore emette sul bus indirizzi l'indirizzo della prima istruzione della routine di servizio d'interruzione, attiva il segnale di controllo READ_MEM e si dispone a leggere da memoria la prima istruzione della routine.
- A partire da quando si accorge che è in corso un'operazione di lettura, la memoria abbisogna di **50 ns** prima di potere emettere sul bus dati la parola da leggere e poi la mantiene stabile per **100 ns**.
- I segnali sul bus indirizzi vengono portati a **riposo** e il segnale di controllo READ_MEM viene **disattivato** non appena i segnali sul bus dati non sono più stabili. Completando il diagramma temporale è preferibile indicare anche le relazioni di **causa-effetto** tra le transizioni dei vari segnali, laddove esse esistono, come elemento di **maggiore chiarezza**.



**SOLUZIONI
ONLINE**

Alla prossima lezione

alessandro.nacci@polimi.it